

PAT-NO: JP405166803A

DOCUMENT-IDENTIFIER: JP 05166803 A

TITLE: COMPOUND SEMICONDUCTOR DEVICE

PUBN-DATE: July 2, 1993

INVENTOR-INFORMATION:

NAME

SAITO, YOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SUMITOMO ELECTRIC IND LTD

N/A

APPL-NO: JP03335066

APPL-DATE: December 18, 1991

INT-CL (IPC): H01L021/318, H01L021/3205

US-CL-CURRENT: 438/694, 438/FOR.401

ABSTRACT:

PURPOSE: To obtain a compound semiconductor device having a surface protection film capable of preventing the generation of defects, such as film peeling.

CONSTITUTION: The wiring of each device is installed in a specified

portion

of a base insulation film by an Au wiring 2. There are laminated consecutively

an **SiON layer 3 which is excellent in adhesive** properties with the Au and a SiN

layer 4 which is excellent in moisture resistance. There is also provided a contact hole 6, which is used for a multi-layer wiring, on the SiON layer 3 and

the SiN layer 4 on the Au wiring 2. This construction makes it possible to provide a compound semiconductor device having a surface protection film which

is excellent in adhesive properties with the Au wiring 2, maintaining moisture resistance to a satisfactory extent.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-166803

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/318	M	8518-4M		
21/3205		7353-4M	H 0 1 L 21/ 88	M

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-335066

(22)出願日 平成3年(1991)12月18日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 斎藤 吉広

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

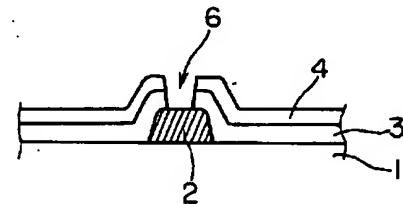
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 化合物半導体装置

(57)【要約】

【目的】 本発明は、膜剥がれ等の欠陥が生じない表面保護膜を有する化合物半導体装置を得ることを目的とする。

【構成】 下地絶縁膜(1)の所定部分には、Au配線(2)によって各素子の配線がなされており、このAu配線(2)を含む下地絶縁膜(1)上には、Auとの密着性に優れているSiON層(3)、及び耐湿性に優れているSiN層(4)が順次積層されている。さらに、多層配線する際に用いるコンタクトホール(6)がAu配線(2)上のSiON層(3)及びSiN層(4)に設けられている。この構造によれば、耐湿性を充分確保しつつ、Au配線(2)との密着性が良好な表面保護膜を有する化合物半導体装置を得ることができる。



【特許請求の範囲】

【請求項1】 配線金属に金が用いられている化合物半導体装置において、その表面保護膜は、酸化シリコン窒化物からなる下層と、シリコン窒化物からなる上層との2層構造を有することを特徴とする化合物半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、配線金属に金が用いられている化合物半導体装置に関するものである。

【0002】

【従来の技術】一般に、半導体装置の表面保護膜として、PSG（リンを含有した SiO_2 ）層及びシリコン窒化物層の2層が積層された構造が多用されている。下層のPSG層は、Na（ナトリウム）などアルカリをトラップする機能を持ち、上層のシリコン窒化物層は外部からの水の浸入を防ぐ機能を持つ。このため、プラスチックパッケージを用いた場合の集積回路の信頼性確保に極めて有効である。さらに、PSG層とシリコン窒化物層は、各々のストレスが逆向きとなって相殺される組み合わせとなっている場合が多く、ストレスマイグレーションや膜クラックを防ぐ機能も持っている。

【0003】なお、この技術については、特開昭59-80936号公報、及び特開昭59-80937号公報に詳細に示されている。

【0004】

【発明が解決しようとする課題】しかし、配線金属として金が用いられているGaAs（ガリウム・ヒ素）などの化合物半導体IC装置に、上述の表面保護膜を適用する場合、金とPSGあるいはシリコン窒化物とは密着性が悪く、膜剥がれが生じてしまい、金の配線上にPSGを直接堆積することができないという問題点があった。

【0005】本発明は、上記問題点を解決した化合物半導体装置を得ることを目的とする。

【0006】

【課題を解決するための手段】本発明は、配線金属に金が用いられている化合物半導体装置において、その表面保護膜が、酸化シリコン窒化物からなる下層とシリコン窒化物からなる上層との2層構造を有することを特徴とする。

【0007】

【作用】本発明によれば、表面保護膜の上層にシリコン窒化物が用いられることにより、化合物半導体装置の耐湿性が充分確保される。さらに、下層に酸化シリコン窒化物が用いられることによって、表面保護膜と配線材料の金との密着性が良好となる。

【0008】上述のシリコン窒化物層と酸化シリコン窒化物層とは各々のストレスが逆向きであるので、それぞれの膜厚をコントロールすることでそれらのストレスが相殺され、クラックが発生しない。

【0009】

【実施例】以下、本発明の実施例について説明する。

【0010】図1は、本発明の実施例である化合物半導体装置の表面保護膜の断面構造を示す図である。半導体素子が形成された基板上の地下絶縁膜1の所定部分には、金（Au）からなる配線層（以下、Au配線という）2によって各素子の配線がなされている。このAu配線2を含む地下絶縁膜2上には、Auとの密着性に優れている酸化シリコン窒化物（以下、 SiON という）層3、及び耐湿性に優れているシリコン窒化物（以下、 SiN という）層4が順次積層されている。さらに、多層配線する際に用いるコンタクトホール6がAu配線2上の SiON 層3及び SiN 層4に設けられている。

【0011】この構造によれば、耐湿性を充分確保しつつ、Au配線2との密着性が良好な表面保護膜を得ることができる。さらに、 SiON 層3と SiN 層4は各々のストレスが逆向きであるので、それぞれの層の厚さをコントロールすることでストレスを相殺し、クラックの発生を防ぐことができる。

【0012】図2は、上述の表面保護膜の形成工程を示す図である。本発明者が行った形成方法を具体的に説明する。

【0013】まず、半導体素子が形成されている基板上の地下絶縁膜1上の所定部分に、イオンミリング法によってAu配線2を形成した（図2（a）図示）。その後、Au配線2が形成された地下絶縁膜1上に、プラズマCVD法によって SiON 膜3を積層した（同図（b）図示）。このときの成膜条件は、 SiH_4 流量300sccm、 NH_3 流量800SCCM、 N_2O 流量500SCCM、高周波（RF）パワー200W、温度280℃、圧力1Torrであった。この条件によって成膜した SiON 膜3の性質は、屈折率1.95、膜厚2000オングストローム、ストレス $3.0 \times 10^8 \text{ N/m}^2$ であった。

【0014】次に、プラズマCVD法によって SiN 膜4を積層した（同図（c）図示）。このときの成膜条件は、 SiH_4 流量300SCCM、 NH_3 流量500SCCM、RFパワー150W、温度300℃、圧力1Torrであった。形成した SiN 膜4の性質は、屈折率2.0、膜厚1000オングストローム、ストレスは $-6.0 \times 10^8 \text{ N/m}^2$ であった。

【0015】次に、通常のリソグラフィ技術により、フォトリソを用いてコンタクトホール形成領域に開口を有するマスクパターン5を形成した（同図（d）図示）。引き続き、このマスクパターン5を介して反応性イオンエッチング（RIE）を行い、Au配線2上の SiON 膜3及び SiN 膜4に開口を形成した。このときの条件は、 SF_6 流量50SCCM、RFパワー200W、圧力70mTorrであった。

【0016】その後マスクパターン5を除去し、表面保護膜を形成した（同図（e）図示）。

3

【0017】上述の方法によって形成された表面保護膜を有する半導体装置について、プラスチックモールドパッケージを用いた場合の高温高湿度加速試験を行った。このプラスチックモールドパッケージを温度130℃、湿度85%の雰囲気中で保存した結果、完全無故障時間360時間、平均寿命が700時間であることが確認された。さらに、SiON膜3とSiN膜4とのストレスは逆向きであるので、それらを積層することでストレスの相殺が図れる。

【0018】なお、上述の成膜条件は一例であり、材料によって膜厚等の条件を変更することが可能である。

【0019】

4

【発明の効果】以上説明したように本発明の化合物半導体装置によれば、耐湿性およびAu配線との密着性に優れ、クラック等が生じない表面保護膜が用いられているので、使用環境における信頼性が向上する。

【図面の簡単な説明】

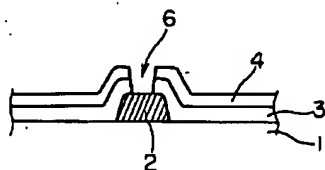
【図1】本発明の実施例に係る表面保護膜の断面図である。

【図2】実施例に係る表面保護膜の形成工程を示す図である。

【符号の説明】

1…下地絶縁膜、2…Au配線、3…SiON層、4…SiN層、5…マスクパターン。

【図1】



【図2】

